

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60136363
PUBLICATION DATE : 19-07-85

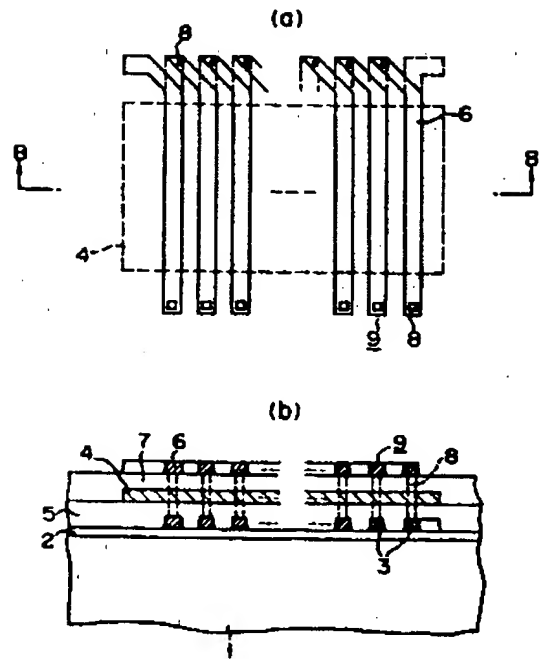
APPLICATION DATE : 26-12-83
APPLICATION NUMBER : 58244103

APPLICANT : TOSHIBA CORP;

INVENTOR : NISHIDA MUNYUKI;

INT.CL. : H01L 27/04 H01F 17/00

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To make the production of element such as transformer easier and miniaturization feasible as well as the formation of a coil-type inductor on the substrate similar to that for integrated circuit feasible by a method wherein an inductor main body with a contact part selectively connecting the first and the second conductor layers with each other to form them as a coil is provided.

CONSTITUTION: In order to produce an inductor main body, an SiO_2 film 2 is provided on a semiconductor substrate 1 and a conductor layer 3 as the first layer is evaporated to form a pattern by the conductor layer 3. Firstly, another SiO_2 film 5 for insulation is formed on the patterned conductor layer 3 and a material with high permeability is evaporated upon the layer 5 to form a part corresponding to a core 4 of a coil. Secondly, after forming the other SiO_2 film 7 for insulation, a contact hole to make the conductor layers 3, 6 connected with each other into a coil is formed into the SiO_2 layers 5, 7 by means of photoetching process. Finally the conductor layer 6 is evaporated to form a pattern into a winding structure by means of photoetching process again.

COPYRIGHT: (C)1985,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-136363

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月19日

H 01 L 27/04
H 01 F 17/00

L-8122-5F
6447-5E

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-244103

⑰ 出 願 昭58(1983)12月26日

⑱ 発 明 者 寺 島 郁 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩
川工場内
⑱ 発 明 者 増 田 英 司 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩
川工場内
⑱ 発 明 者 西 田 宗 行 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩
川工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板と、この基板上に並設された複数の第1の導体層と、この層上に絶縁膜を介して並設された複数の第2の導体層と、前記第1の導体層と第2の導体層間を選択的につなぎこれらをコイルとして形成するコンタクト部とを有するインダクタ本体を具備したことを特徴とする半導体装置。

(2) 前記半導体基板を共通にして前記インダクタ本体を一对具備し、これらインダクタが磁氣的に結合されたことを特徴とする特許請求の範囲第1項に記載の半導体装置。

(3) 前記基板と同一基板上に回路素子が形成され、その回路素子が前記インダクタ本体と電氣的に接続されたことを特徴とする特許請求の範囲第1項または第2項に記載の半導体装置。

(4) 前記コイル内に、高透磁率のコアが前記

コイルとは絶縁された状態で挿入されたことを特徴とする特許請求の範囲第1項または第2項に記載の半導体装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明は半導体基板上にインダクタを形成した半導体装置に関するもので、特にコイル、トランス等として使用されるものである。

[発明の技術的背景とその問題点]

従来、モノリシックに作成されたリアクタンス素子には、磁気ディスク用の薄膜磁気ヘッドがある。IBM3370磁気ヘッド(日経エレクトロニクス 1980年7月7日号、日経マクロウヒル社、第110頁~第125頁)の場合、基盤上に下部電極となるパーマロイをめっきし、絶縁層を置いた上にコイルを蒸着し、更に絶縁層を置いた上に上部コアを蒸着により形成する。コイルは1層スパイラル巻きである。

しかしながら上記のものにあっては、次のような問題点があった。即ちインダクタを薄膜技

術により作成する場合、製造技術は集積回路の製造技術と異なるため、集積回路と同一基板上に形成することができない。またコイルは2次的に作成されるため、相互誘導を利用したトランスなどの素子を作成しにくい。またインダクタとしての性能を高めるため、巻き数を増やすと、素子のサイズが大きくなりやすいなどの問題があった。

〔発明の目的〕

本発明は上記実情に鑑みてなされたもので、コイル状のインダクタを集積回路と同一基板上に形成することができ、またコイルを3次的に形成するため、トランスなどの素子が形成しやすく、また小形化が可能な半導体装置を提供しようとするものである。

〔発明の概要〕

本発明は、従来半導体集積回路において素子として利用できなかったインダクタを、薄膜技術によらず、集積回路製造技術である多層配線により作成し、回路素子として使用できるよう

にしたものである。

〔発明の実施例〕

以下図面を参照して本発明の一実施例を説明する。第1図(a)は同実施例を示すインダクタ本体の平面図、図面(b)は同図(a)のB-B線に沿う断面図である。図中1は集積回路が形成された半導体基板、2はこの基板1上に設けられた絶縁膜としてのSIO₂膜、3はこのSIO₂膜2上に並設された複数の第1の導体層(例えばアルミニウム)、4はこの導体層3上に絶縁膜(例えばSIO₂膜)5を介して形成された高透磁率のコア、6はこのコア4上に絶縁膜(例えばSIO₂膜)7を介して並設された複数の第2の導体層(例えばアルミニウム)、8は第1、第2の導体層の対向端部間をつなぎこれらをコイル9として形成するコンタクト部である。

上記構成のインダクタ本体を得る一例としては、半導体基板1上にSIO₂膜2を設け、その上に1層目の導電体層3を蒸着し、該導電体層によるパターンをフォトリソ法により形

成する。次に上記パターン化された導電体層上に、絶縁のためSIO₂膜5を気相成長法により形成する。次にこのSIO₂膜5上に高透磁率の材料を蒸着し、フォトリソ法によりコイルのコア4に当る部分を形成する。次に絶縁のためSIO₂膜7を形成してから、導電体層3、6間をつないでコイル化するためのコンタクトホールを、SIO₂膜5、7にフォトリソ法により形成する。次に導電体層6を蒸着、フォトリソ法により導電体層によるパターンを形成し、巻き線構造とするものである。

巻き線構造の一例としては、4μmの配線幅で4μm間隔に配線されているものとする。巻き線構造の幅を100μm、長さを400μm、1層目メタルと2層目メタルの間隔を1μmとする。コア材料はSIO₂のみであるとし、透磁率は真空の透磁率 $\mu_0 = 1.257 \times 10^{-6}$ [H/m]で近似的とする。この巻き線構造を有限長ソレノイドとみなせば、インダクタンスLは次式により計算できる。

$$L = \alpha \cdot \mu \cdot a \cdot \frac{N^2}{l} \quad [\text{H}]$$

但し α は長岡係数、 μ は透磁率、 a はソレノイドの断面積、 l はソレノイドの長さ、 N は巻き数である。上式に上記の値を代入すると

$L = \alpha \times 3.14 \times 10^{-9}$ 、 α は $0 \leq \alpha < 1$ であるので、インダクタンスはおよそ1[nH]である。

巻き線構造を用いてパルスストロンスを形成した例を第2図に示す。同図(a)は概略的構成図、同図(b)は同図(a)のA-A'、B-B'間構成の詳細図、同図(c)は同図(b)のC-C'線に沿う断面図である。図中11a、11bはパルスストロンス入力端子、12a、12bは出力端子、13は中間タップ、9₁は1次側コイル、9₂は2次側コイルである。このパルスストロンスは結合を増すため、環状とした高透磁率の材料によるコア4を巻き線構造内部にもつ。このパルスストロンスの巻き線比は、巻き線構造から引き出したタップ13により調整する。

パルスストロンスをアイソレータとして使用した例を第3図に示す。第3図(a)、(b)とも

CMOS回路と他回路とのアイソレーションをはかった例である。第3図(a)はCMOS回路によりトランジスタをドライブする回路である。CMOS型NANDゲート21から出力された正パルスは電流制限抵抗23とバイパスコンデンサ22を通り、パルストランス24の1次側コイル9₁に流れ込む。その結果2次側コイル9₂にパルスが誘起され、トランジスタ25がオンされる。このトランジスタ25がオンになると抵抗26に電流が流れ、端子27にパルスが反転したかたちで出力される。

第3図(b)はTTL回路によりCMOS回路をドライブするもので、TTL型ゲート28に正パルスが入力されると、電流制限抵抗29を通して電流がゲート28に流れ込む。このとき電流はパルストランス24の1次側コイル9₁を流れるから、2次側コイル9₂に電圧が誘起され、CMOSゲート30により反転されて端子31に出力される。ダイオード32は出力パルスのオーバーシュート吸収用である。

第3図(a)、(b)において、同一半導体基板上にパルストランスと周辺回路を集積回路として作成することが可能で、第3図(a)の場合D-D'線から左側のゲート21、コンデンサ22、抵抗23、パルストランス24を同一半導体基板上に集積回路として作成できる。また第3図(b)の場合、E-E'線から右側のパルストランス24、ゲート30、ダイオード32を同一半導体基板上に集積回路として作成できるものである。

なお本発明は上記実施例のみに限られることなく種々の応用が可能である。例えば実施例ではコイル内にコア4を設けたが、これを省略した構成とすることができる。また第1の導体層3及び第2の導体層6としてアルミニウムを用いたが、第1の導体層3及び第2の導体層6としてポリシリコン層を用いてもよいし、第4図に示す如く第1の導体層3として、基板1と反対導電型の高濃度拡散層3'を用い、第2の導体層6としてアルミニウムを用いてもよい。また

本発明においてはコア(4)の材料として、パーマロイ、フェライト等を用いることができる。

〔発明の効果〕

以上説明した如く本発明によれば、コイル状のインダクタを集積回路と同一基板上に形成することができ、またインダクタ、トランスなどの素子が形成しやすく、また小形化が可能となるものである。

4. 図面の簡単な説明

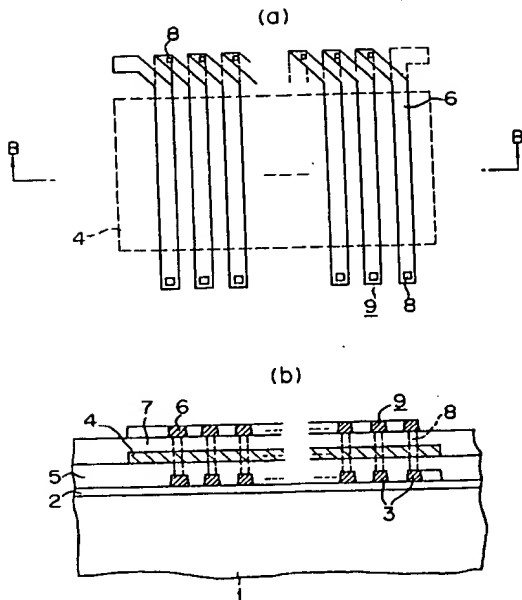
第1図(a)は本発明の一実施例を示すインダクタ本体の平面図、同図(b)は同図(a)のB-B線に沿う断面図、第2図(a)は本発明の他の実施例を示すパルストランスの概略構成図、同図(b)は同図(a)の一部詳細図、同図(c)は同図(b)のC-C'線に沿う断面図、第3図(a)、(b)は本発明の異なる実施例の回路図、第4図は本発明の更に異なる実施例を示す一部構成図である。

1…半導体基板、2…SiO₂膜、3…第1の導体層、4…コア、5、7…SiO₂膜、6…第

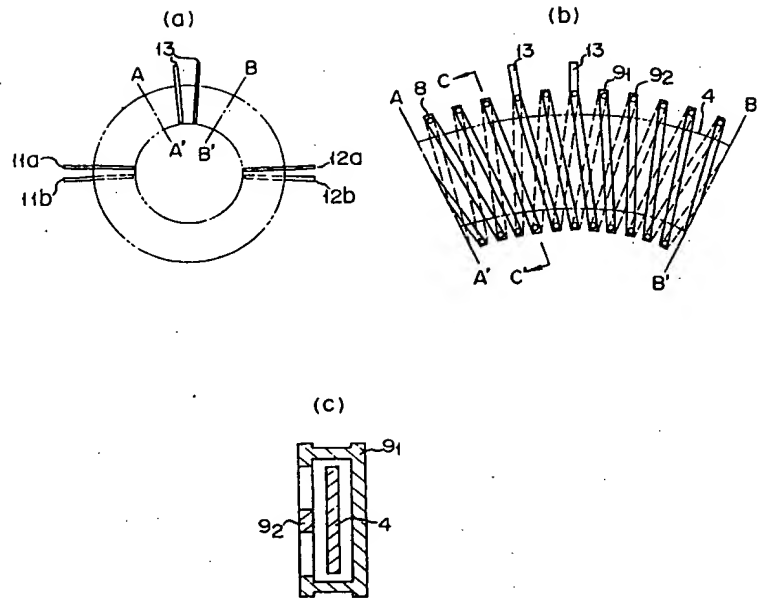
2の導体層、8…コンタクト部、9…コイル、9₁…1次側コイル、9₂…2次側コイル、24…パルストランス。

出願人代理人 弁理士 鈴 江 武 彦

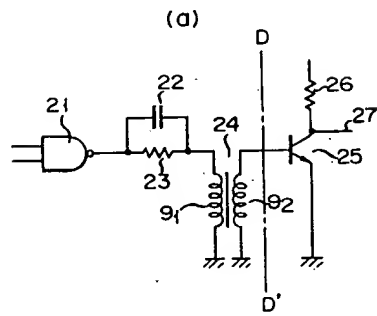
※ 1 図



※ 2 図



※ 3 図



※ 4 図

